OH-671A
Prior Art 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-343407
(43)Date of publication of application : 24.12.1993

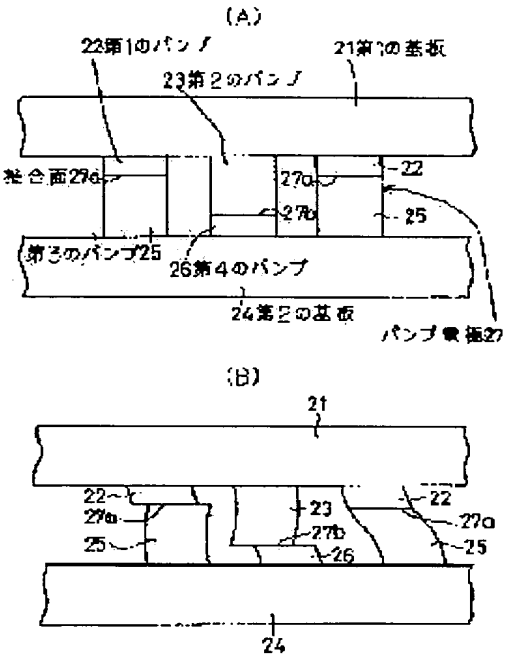
(51)Int.Cl. H01L 21/321
H01L 21/60

(21)Application number : 04-145615
(22)Date of filing : 05.06.1992

(71)Applicant : FUJITSU LTD
(72)Inventor : AWAMOTO KENJI
WAKAYAMA HIROYUKI
SAKACHI YOICHIRO
TOFUKU ISAO
DOI SHOJI

(54) BUMP ELECTRODE FOR BOARD CONNECTION

(57)Abstract:
PURPOSE: To prevent mutual contact between adjacent bumps due to a thermal cycle with regards to a board connection bump electrode when connecting to a board by way of a bump.
CONSTITUTION: A first bump 22 and a second bump 23 installed to a first board 21 in two dimensions and a third bump 25 and a fourth bump installed to a second board 24 in two dimensions are formed in such a fashion that their length may be different from each other. The first bump 22 and the third bump 25, and the second bump 23 and the fourth bump 26 are contact-boarded in such a fashion that their bonded elevations may be different from each other. Under such conditions, the first board 21 may be electrically connected to the second board 24.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[Claim(s)]

[Claim 1] While arranging in the predetermined position on the 1st substrate (21) by turns the 1st and 2nd bumps (22 23) from whom length differs at two dimensions the 2nd substrate (24) top -- this -- it being a position corresponding to the 1st and 2nd bumps (22 23), and with the 3rd bump (25) corresponding to this 1st bump (22) on this 1st substrate (21) The 4th bump (26) corresponding to this 2nd bump (23) is arranged. With this 1st bump (22), this 3rd bump (25), and this 2nd bump (23) The bump electrode for substrate connection characterized by changing the height of a plane of composition, being joined and this 4th bump (36) doing electric junction of the 1st substrate (21) of the above, and the 2nd substrate (24) of the above.

[Claim 2] Two dimensions arrange two or more bumps (14a, 14b) located in the lot (41) of the 1st substrate (21 12) and the 2nd substrate (24 13) by whole division drawing. In the bump electrode for substrate connection for carrying out electrical installation of this 1st substrate (21 12) and this 2nd substrate (24 13) through each of this bump (14a, 14b) The bump electrode for substrate connection characterized by changing a position and arranging this predetermined bump within the aforementioned lot (41) in order to acquire the distance between the aforementioned bumps (14a, 14b) who adjoin in the direction of a radial from the center of the above 1st and the 2nd substrate (21, 24, 12, 13).

[Claim 3] Two dimensions arrange two or more bumps (42a, 42b) located in the lot (41) of the 1st substrate (21 12) and the 2nd substrate (24 13) by whole division drawing. In the bump electrode for substrate connection for carrying out electrical installation of this 1st substrate (21 12) and this 2nd substrate (24 13) through each of this bump (42a, 42b) The bump electrode for substrate connection characterized by making this predetermined bump's cross-section configuration counter as a shorter side in this radial direction in order to acquire the distance between the aforementioned bumps (42a, 42b) who adjoin in the direction of a radial from the center of the above 1st and the 2nd substrate (21, 24, 12, 13).

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the bump electrode for substrate connection in the case of connecting with a substrate by the bump.

[0002] On a recent-years, for example, semiconductor, substrate, the substrate of the optoelectric-transducer section which has arranged two or more 2-dimensional photo detectors, and each signal-processing section for reading the signal by which photo electric translation was carried out is connected by the binding post (bump electrode), and the stuck hybrid type solid state camera is being used. Especially the infrared solid state image pickup device that detects an infrared linear light increases the number of pixels in recent years, and high resolution-ization is attained. In this case, since it will become impossible to use it if a defective pixel also generates a part among many pixels, a high thing of the reliability which a defective pixel does not generate even if the number of pixels increases, and endurance is desired.

[0003]

[Description of the Prior Art] Drawing for explaining the solid state camera which makes

connection by the conventional bump electrode to drawing 5 is shown. drawing 5 (A) -- a part -- a notch **** schematic diagram -- it is -- drawing 5 (B) -- a part of drawing 5 (A) -- it is a cross section

[0004] It sets to drawing 5 (A) and (B), and electric junction of the solid state camera 11 is carried out by the bump electrode 14 of plurality [section / signal-processing / 13 / the photoelectrical transducer 12 and].

[0005] Photodiode field 12b as which the photoelectrical transducer 12 detects infrared radiation on semiconductor substrate 12a of HgCdTe (mercury cadmium tellurium) is arranged at two dimensions. And bump 14a which deposited the indium (In) is formed in each of this photodiode field 12b.

[0006] On the other hand, signal read-out circuit 13b in which the processing circuit section 13 contains two or more pixel 13a which corresponds for example, on (Silicon Si) substrate at the above-mentioned photodiode field 12b is formed. Moreover, bump 14b which deposited the indium (In) is formed on each pixel 13a.

[0007] And each bump 14a of the photoelectrical transducer 12 and each bump 14b of the processing circuit section 13 are stuck by pressure, electrical coupling is performed, and the so-called hybrid type is constituted. An electron generates such a solid state camera 11 in the infrared radiation which carries out incidence to the photoelectrical transducer 12, and an electrical signal is sent to the processing circuit section 13 through the bump electrode 14 from photodiode field 12b.

[0008] Moreover, as for this solid state camera 11, being cooled and used is common in order to remove the unnecessary signal generated with the temperature which equipment itself has.

[0009]

[Problem(s) to be Solved by the Invention] By the way, since it is cooled by for example, liquid nitrogen temperature at the time of operation, whenever the above-mentioned solid state camera 11 is a room temperature, and it uses it at the time of an inoperative, the optical transducer 12 and the processing circuit section 13 will repeat contraction by temperature, and expansion. Drawing for here explaining deformation of the bump electrode in drawing 5 to drawing 6 is shown. Like semiconductor substrate 12a of above-mentioned HgCdTe, and the Si substrate 13, in the hybrid type solid state camera 11 which stuck the different-species substrate, since the coefficient of thermal expansion of each substrate 12a and 13 differs, distortion occurs by Bumps 14a and 14b. When many heat cycles are repeated, and Bumps 14a and 14b deform as shown in drawing 6 , and the knot portion 15 shifts, for example, bump 14a which adjoins in a contact portion, and 14b may contact. In this case, since the signal of two pixels which contacted is mixed, it will become a defective pixel 2 pixels. Thus, while repeating a heat cycle, un-arranging [which a defective pixel generates] is, and there is a problem of reducing the reliability of a solid state image pickup device and endurance.

[0010] This is a problem produced when connecting the substrates from which coefficient of thermal expansion, such as a high hybrid IC of not only the above-mentioned solid state camera 11 but a degree of integration, differs by the bump.

[0011] Then, this invention was made in view of the above-mentioned technical problem, and aims at offering the bump electrode for substrate connection which prevents contact between the bumps who adjoin according to a heat cycle.

[0012]
[Means for Solving the Problem] While the above-mentioned technical problem arranges in the predetermined position on the 1st substrate by turns the 1st and 2nd bumps from whom length differs at two dimensions a 2nd substrate top -- this -- the position corresponding to the 1st and 2nd bumps -- it is -- this -- with the 3rd bump corresponding to this 1st bump on the 1st substrate The 4th bump corresponding to this 2nd bump is arranged, and this 1st bump, this 3rd bump and this 2nd bump, and this 4th bump change the height of a plane of composition, and it is joined, and is solved by carrying out electric junction of the 1st substrate of the above, and the 2nd substrate of the above.
[0013]
[Function] As mentioned above, the height of a plane of composition is changed, the 1st and 2nd bumps arranged by two dimensions on the 1st substrate and the 3rd and 4th bumps arranged by two dimensions on the 2nd substrate are joined, and electric junction of the 1st and 2nd substrates is performed.
[0014] Thereby, even if a position gap occurs in each bump's plane of composition under the influence of a heat cycle, the height of each bump's plane of composition differs, and it becomes possible to prevent adjoining bump inter-electrode contact.
[0015]
[Example] The block diagram of the 1st example of this invention is shown in drawing 1 . Drawing 1 (A) is a partial flank block diagram, and drawing 1 (B) is the schematic diagram of the bump electrode deformation in a heat cycle.
[0016] In drawing 1 (A), on the 1st substrate 21, the 1st bump 22 with short length and the 2nd bump 23 with long length are stationed by turns, and are arranged by two dimensions.
[0017] On the other hand on the 2nd substrate 24, the 3rd bump with long length (the same length as the 2nd bump 23) and the 4th bump 26 (the same length as the 1st bump 22) with short length are stationed by turns, and it is arranged at two dimensions. In this case, the 3rd bump 25 is equivalent to the 1st bump 22 of the 1st substrate 21, and the 4th bump 26 is equivalent to the 2nd bump 23.
[0018] and while making the 1st bump 22 of the 1st substrate 21, and the 3rd bump 25 of the 2nd substrate 24 correspond, make the 2nd bump 23 and 4th bump 26 correspond, it is made to join by sticking by pressure, and the bump electrode 27 is formed, respectively -- making -- this -- electric junction of the 1st and 2nd substrates 21 and 24 is carried out In this case, plane-of-composition 27a of each joined bump electrode 27 becomes different height from plane-of-composition 27b of the adjoining bump electrode 27.
[0019] Here, when heat stress is added to the 1st and 2nd substrates 21 and 24 by which electrical coupling was carried out by this bump electrode 27 by the heat cycle, as shown in drawing 1 (B), contraction and expansion are repeated and a position gap occurs in the planes of composition 27a and 27b of the bump electrode 27. However, from the height of the planes of composition 27a and 27b of the adjoining bump electrode 27 differing, as shown in drawing 1 (B), even if it produces a position gap in the above-mentioned planes of composition 27a and 27b, contact of each bump electrode 27 can be prevented.
[0020] The solid state camera which shows this to drawing 5 , and by applying to a hybrid IC etc., generating of a defective pixel, a defective electrode, etc. can be prevented and the reliability of equipment and endurance can be raised.
[0021] Then, drawing for explaining manufacture of drawing 1 to drawing 2 is shown. In

drawing 2 , first, resist 31a is applied on the semiconductor substrates (you may be any of the 1st or 2nd substrate 21 and 24) (24) 21, such as HgCdTe to which processing of predetermined field formation etc. was performed, and Si, and opening of the portion in which a bump electrode is located by photoetching is carried out (drawing 2 (A)).

[0022] And the vacuum evaporationo of the indium (In) is carried out to a part for opening (drawing 2 (B)). Furthermore, resist 31b is applied and opening of the portion equivalent to the 2nd and 3rd bumps 23 and 25 with above-mentioned long length is carried out by photoetching (drawing 2 (C)).

[0023] Then, the vacuum evaporationo of the indium (In) is carried out to a part for this opening (the 2nd (the 3rd) bump 23 with long length (25) and the 1st (the 4th) bump 22 with short length (26) are formed on the semiconductor substrate 21 (24) by removing drawing 2 (D) and Resists 31a and 31b (drawing 2 (E)).).

[0024] And that from which the height of a plane of composition differs between the adjoining bump electrodes 27 is formed by making the semiconductor substrates 21 and 24 formed in this way stick by pressure by bumps, as shown in drawing 1 (A).

[0025] Next, the block diagram of the 2nd example of this invention is shown in drawing 3 . Drawing 3 shows and explains the plan of the photoelectrical transducer 12 by making the solid state camera 11 as shown in drawing 5 into an example. In addition, also in the high hybrid IC of not only a solid state camera but a degree of integration, it is the same.

[0026] In drawing 3 (A), it is formed by the semiconductor substrate of HgCdTe and the photoelectrical transducer 12 as the 1st substrate 21 is formed in [the partition 41 equivalent to each pixel] two dimensions. And among each partition 41, a position is changed within a lot 41 in four sides, and bump 14a is arranged in the partition 41 (slash portion) located (three sides omit) at them. This bump 14a is arranged so that the distance between bump 14a which are the radiation-like direction and adjoin from the center of the semiconductor substrate 12 may be acquired.

[0027] Moreover, although not illustrated, corresponding to arrangement of bump 14a of the semiconductor substrate 12, bump 14b is arranged on the semiconductor substrate of the processing circuit section 13 as the 2nd substrate 24, for example, Si, (refer to drawing 5). And as shown in drawing 5 , sticking-by-pressure junction of bump 14a and the 14b is carried out, and electrical coupling of each substrates 12 and 13 is performed.

[0028] Here, if the heat stress by the heat cycle is added to the semiconductor substrate 12 as shown in drawing 3 (B), this semiconductor substrate 12 will repeat contraction and expansion in the direction of a radial, the direction of an arrow, i.e., the substrate center, of drawing 3 (B), and the plane of composition 15 of the bump electrode 14 will produce a position gap in the direction of an arrow. the field 42 of a slash portion [in / a part for a substrate periphery / in the amount of distortion in this case] -- it becomes large about a-42d That is, when the bump electrodes 14 arranged in the partition 41 located in these fields 42a-42d are regular intervals, it is easy to produce the contact whose amount of distortion of a plane of composition 15 is between the bump electrodes 14 greatly.

[0029] Therefore, as shown in drawing 3 (A), contact between the bump electrodes 14 can be prevented by arranging between bump 14a (14b) prepared in the partition 41 located in Fields 42a-42d so that distance may be lengthened in the direction of an arrow.

[0030] In addition, such bumps' 14a and 14b formation should just make the portion in which resist 31a in drawing 2 (A) and (B) carries out opening reposition by the mask

pattern.

[0031] Next, the block diagram of the 3rd example of this invention is shown in drawing 4 . Also in drawing 4 , the plan of the photoelectrical transducer 12 is shown and explained like drawing 3 by making the solid state camera 11 as shown in drawing 5 into an example. In addition, the explanation is omitted about the same portion as drawing 3 .

[0032] It is what made the cross-section configuration of bump 42a (illustration is omitted using the bump who counters as 42b) formed in the lot 41 of the semiconductor substrate 12 in drawing 4 the ellipse which has a shorter side and a long side, and bump 42a formed in the partition 41 arranged in the direction of an arrow shown in drawing 3 (B) is arranged so that a shorter side may counter and it may be located in this arrow direction. That is, it arranges so that distance may be lengthened between bump 42a (42b) which adjoins in this arrow direction.

[0033] Thereby, like drawing 3 , even if it produces a position gap in a plane of composition bump inter-electrode with the influence of a heat cycle, contact can be prevented.

[0034] In addition, a rhombus and a rectangle are [that what is necessary is just to have a part for a part for the short side part on which the cross section spreads abbreviation etc., and a long side] sufficient although the 3rd above-mentioned example showed the case where the cross-section configuration of bump 42a (42b) was made into an ellipse.

[0035] Moreover, even if it is the 3rd example, manufacture of the bump of the cross-section configuration concerned can be formed by changing the configuration of a mask pattern like drawing 3 .

[0036]

[Effect of the Invention] as mentioned above, according to this invention, change by turns the height of a plane of composition of the bump electrode which performs electric junction between substrates by junction -- or change arrangement -- or even if it produces a position gap in a plane of composition under the influence of a heat cycle by making between shorter sides counter in the cross-section configuration, adjoining bump inter-electrode contact can be prevented

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平5－343407

(43)公開日　平成5年(1993)12月24日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ 21/321				
21/60	３１１ Ｓ	6918－4Ｍ		
		9168－4Ｍ	Ｈ０１Ｌ 21/92	Ｃ

審査請求　未請求　請求項の数3(全 6 頁)

(21)出願番号　特願平4－145615

(22)出願日　平成4年(1992)6月5日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者　栗本　健司
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者　若山　博之
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者　坂地　陽一郎
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人　弁理士　伊東　忠彦　（外２名）

最終頁に続く

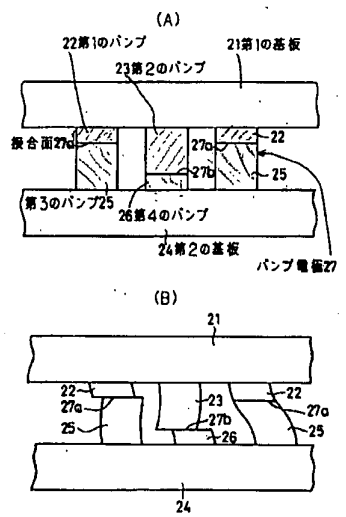
(54)【発明の名称】　基板接続用バンプ電極

(57)【要約】

【目的】　本発明はバンプにより基板に接続を行う場合の基板接続用バンプ電極に関し、熱サイクルにより隣接バンプ間の接触を防止することを目的とする。

【構成】　第１の基板２１上に二次元に配設された第１及び第２のバンプ２２，２３と、第２の基板２４上に二次元に配設された第３及び第４のバンプ２５，２６とを、長さを異ならせて形成させる。そして、第１のバンプ２２と第３のバンプ２５、及び第２のバンプ２３と第４のバンプ２６を圧着接合させ、接合面の高さを異ならせて第１及び第２の基板２１，２４の電気的結合を行う。

本発明の第1の実施例の構成図



【特許請求の範囲】

【請求項１】　第１の基板（２１）上の所定位置に、長さの異なる第１及び第２のバンプ（２２，２３）を交互に二次元に配設すると共に、

第２の基板（２４）上に、該第１及び第２のバンプ（２２，２３）に対応する位置であって、該第１の基板（２１）上の該第１のバンプ（２２）に対応する第３のバンプ（２５）と、該第２のバンプ（２３）に対応する第４のバンプ（２６）とを配設し、

該第１のバンプ（２２）と該第３のバンプ（２５）、及び該第２のバンプ（２３）と、該第４のバンプ（３６）とが接合面の高さを異ならせて接合され、前記第１の基板（２１）と前記第２の基板（２４）とを電気的接合させることを特徴とする基板接続用バンプ電極。

【請求項２】　第１の基板（２１，１２）及び第２の基板（２４，１３）の一区画（４１）内に位置されるバンプ（１４ａ，１４ｂ）を全区画で複数二次元に配設されて、該第１の基板（２１，１２）と該第２の基板（２４，１３）とを、該各バンプ（１４ａ，１４ｂ）を介して電気的接続させるための基板接続用バンプ電極において、

前記第１及び第２の基板（２１，２４，１２，１３）の中心から放射状方向で隣接する前記バンプ（１４ａ，１４ｂ）間の距離を得るために、所定の該バンプを、前記一区画（４１）内で位置を異ならせて配置させることを特徴とする基板接続用バンプ電極。

【請求項３】　第１の基板（２１，１２）及び第２の基板（２４，１３）の一区画（４１）内に位置されるバンプ（４２ａ，４２ｂ）を全区画で複数二次元に配設されて、該第１の基板（２１，１２）と該第２の基板（２４，１３）とを、該各バンプ（４２ａ，４２ｂ）を介して電気的接続させるための基板接続用バンプ電極において、

前記第１及び第２の基板（２１，２４，１２，１３）の中心から放射状方向で隣接する前記バンプ（４２ａ，４２ｂ）間の距離を得るために、所定の該バンプの断面形状を、該放射状方向で短辺として対向させることを特徴とする基板接続用バンプ電極。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、バンプにより基板に接続を行う場合の基板接続用バンプ電極に関する。

【０００２】近年、例えば、半導体基板上に複数の受光素子を二次元配置した光電変換素子部と、光電変換された信号を読み出すための信号処理部それぞれの基板を電極柱（バンプ電極）で接続し、貼り合わせたハイブリッド型固体撮像装置が使用されつつある。特に、赤外線光を検知する赤外線固体撮像素子は近年、画素数を増やし高解像度化が図られている。この場合、多数の画素のうち一部でも欠陥画素が発生すれば使用できなくなるため、画素数が増加しても欠陥画素の発生しない信頼性、耐久性の高いことが望まれている。

【０００３】

【従来の技術】図５に、従来のバンプ電極による接続を行う固体撮像装置を説明するための図を示す。図５（Ａ）は一部を切欠いた概略図であり、図５（Ｂ）は図５（Ａ）の一部断面図である。

【０００４】図５（Ａ），（Ｂ）において、固体撮像装置１１は、光電変換部１２と信号処理部１３とが複数のバンプ電極１４により電気的接合されたものである。

【０００５】光電変換部１２は、例えばＨｇＣｄＴｅ（水銀カドミウムテルル）の半導体基板１２ａ上に、赤外線を検知するフォトダイオード領域１２ｂが二次元に配置されたものである。そして、このフォトダイオード領域１２ｂのそれぞれに、例えばインジウム（Ｉｎ）を蒸着したバンプ１４ａが形成される。

【０００６】一方、処理回路部１３は、例えばシリコン（Ｓｉ）基板上に上記フォトダイオード領域１２ｂに対応する複数の画素１３ａを含む信号読出し回路１３ｂが形成される。また、各画素１３ａ上に、例えばインジウム（Ｉｎ）を蒸着したバンプ１４ｂが形成される。

【０００７】そして、光電変換部１２の各バンプ１４ａと、処理回路部１３の各バンプ１４ｂとが圧着されて、電気的結合が行われ、いわゆるハイブリッド型を構成する。このような固体撮像装置１１は、光電変換部１２に入射する赤外線で電子が発生し、フォトダイオード領域１２ｂより電気信号がバンプ電極１４を介して処理回路部１３に送られる。

【０００８】また、この固体撮像装置１１は、装置自身の有する温度によって発生する不要な信号を除くために、冷却して用いられるのが一般的である。

【０００９】

【発明が解決しようとする課題】ところで、上述の固体撮像装置１１は、非動作時は室温であり、動作時には例えば液体窒素温度に冷却されるため、使用するごとに光変換部１２及び処理回路部１３が温度による収縮、膨張を繰り返すことになる。ここで、図６に、図５におけるバンプ電極の変形を説明するための図を示す。上述のＨｇＣｄＴｅの半導体基板１２ａとＳｉ基板１３のように、異種基板を貼り合わせたハイブリッド型の固体撮像装置１１においては、それぞれの基板１２ａ，１３の熱膨張率が異なるため、バンプ１４ａ，１４ｂに歪みが発生する。熱サイクルが多数繰り返された場合、図６に示すようにバンプ１４ａ，１４ｂが変形し、例えばつなぎ目部分１５がずれることなどにより、接触部分で隣接するバンプ１４ａ，１４ｂどうしが接触することがある。この場合、接触した２つの画素の信号は混ざり合うため、２画素ともに欠陥画素となってしまう。このように、熱サイクルを繰り返すうちに欠陥画素が発生する不都合があり、固体撮像素子の信頼性、耐久性を低下させ

るという問題がある。

【００１０】このことは、上述の固体撮像装置１１に限らず、例えば集積度の高いハイブリッドＩＣ等の熱膨張率の異なる基板同士をバンプで接続する場合においても生じる問題である。

【００１１】そこで、本発明は上記課題に鑑みなされたもので、熱サイクルにより隣接するバンプ間の接触を防止する基板接続用バンプ電極を提供することを目的とする。

【００１２】

【課題を解決するための手段】上記課題は、第１の基板上の所定位置に、長さの異なる第１及び第２のバンプを交互に二次元に配設すると共に、第２の基板上に、該第１及び第２のバンプに対応する位置であって、該第１の基板上の該第１のバンプに対応する第３のバンプと、該第２のバンプに対応する第４のバンプとを配設し、該第１のバンプと該第３のバンプ、及び該第２のバンプと、該第４のバンプとが接合面の高さを異ならせて接合され、前記第１の基板と前記第２の基板とを電気的接合させることにより解決される。

【００１３】

【作用】上述のように、第１の基板上に二次元に配設された第１及び第２のバンプと、第２の基板上に二次元に配設された第３及び第４のバンプとを、接合面の高さを異ならせて接合させて、第１及び第２の基板の電気的接合を行う。

【００１４】これにより、熱サイクルの影響で各バンプの接合面に位置ずれが発生しても、各バンプの接合面の高さが異なっており、隣接するバンプ電極間の接触を防止することが可能となる。

【００１５】

【実施例】図１に、本発明の第１の実施例の構成図を示す。図１（Ａ）は部分的側部構成図であり、図１（Ｂ）は熱サイクルにおけるバンプ電極変形の概略図である。

【００１６】図１（Ａ）において、第１の基板２１上に、長さの短い第１のバンプ２２と長さの長い第２のバンプ２３とが交互に配置されて二次元に配設される。

【００１７】一方、第２の基板２４上には、長さの長い第３のバンプ（第２のバンプ２３と同じ長さ）と長さの短い第４のバンプ２６（第１のバンプ２２と同じ長さ）とが交互に配置されて二次元に配置される。この場合、第３のバンプ２５が第１の基板２１の第１のバンプ２２に対応し、第４のバンプ２６が第２のバンプ２３に対応する。

【００１８】そして、第１の基板２１の第１のバンプ２２と第２の基板２４の第３のバンプ２５とを対応させると共に、第２のバンプ２３と第４のバンプ２６とを対応させて圧着により接合させてそれぞれバンプ電極２７を形成させ、該第１及び第２の基板２１，２４を電気的接合させるものである。この場合、接合された各バンプ電極２７の接合面２７ａは隣接するバンプ電極２７の接合面２７ｂと異なる高さとなる。

【００１９】ここで、このバンプ電極２７で電気的結合された第１及び第２の基板２１，２４に熱サイクルで熱ストレスを加えた場合、図１（Ｂ）に示すように、収縮、膨張を繰り返し、バンプ電極２７の接合面２７ａ，２７ｂで位置ずれが発生する。しかし、図１（Ｂ）に示すように、隣接するバンプ電極２７の接合面２７ａ，２７ｂの高さが異なることから、上述の接合面２７ａ，２７ｂに位置ずれを生じても各バンプ電極２７の接触を防止することができるものである。

【００２０】これを図５に示す固体撮像装置や、ハイブリッドＩＣ等に適用することにより、欠陥画素や欠陥電極等の発生を防止して装置の信頼性、耐久性を向上させることができる。

【００２１】そこで、図２に、図１の製造を説明するための図を示す。図２において、まず、所定の領域形成等の処理が施されたＨｇＣｄＴｅやＳｉ等の半導体基板（第１又は第２の基板２１，２４の何れであってもよい）２１（２４）上に、レジスト３１ａが塗布され、ホトエッチングによりバンプ電極が位置する部分を開口させる（図２（Ａ））。

【００２２】そして、開口部分にインジウム（Ｉｎ）を蒸着させる（図２（Ｂ））。さらに、レジスト３１ｂを塗布し、ホトエッチングにより、上述の長さの長い第２及び第３のバンプ２３，２５に相当する部分を開口させる（図２（Ｃ））。

【００２３】続いて、この開口部分にインジウム（Ｉｎ）を蒸着させ（図２（Ｄ）、レジスト３１ａ，３１ｂを除去することにより、半導体基板２１（２４）上に長さの長い第２（第３）のバンプ２３（２５）、及び長さの短い第１（第４）のバンプ２２（２６）が形成されるものである（図２（Ｅ））。

【００２４】そして、このように形成された半導体基板２１，２４を図１（Ａ）に示すようにバンプ同士で圧着させることにより、隣接するバンプ電極２７間で接合面の高さが異なるものが形成されるものである。

【００２５】次に、図３に、本発明の第２の実施例の構成図を示す。図３では、図５に示すような固体撮像装置１１を例として、光電変換部１２の平面図を示して説明する。なお、固体撮像装置に限らず、集積度の高いハイブリッドＩＣにおいても同様である。

【００２６】図３（Ａ）において、第１の基板２１としての光電変換部１２は、例えばＨｇＣｄＴｅの半導体基板で形成され、各画素に相当する区画４１が二次元的に形成される。そして、各区画４１のうち、４辺に（３辺は省略する）位置する区画４１（斜線部分）に、一区画４１内で位置を異ならせてバンプ１４ａを配設したものである。このバンプ１４ａは、半導体基板１２の中心から放射線状方向で、隣接するバンプ１４ａ間の距離を得るように配置される。

【００２７】また、図示していないが、半導体基板１２のバンプ１４ａの配置に対応して、第２の基板２４としての処理回路部１３の例えばＳｉの半導体基板上にバンプ１４ｂが配設される（図５参照）。そして、図５に示すように、バンプ１４ａ，１４ｂ同士を圧着接合して各基板１２，１３の電気的結合を行う。

【００２８】ここで、図３（Ｂ）に示すように、半導体基板１２に熱サイクルによる熱ストレスを加えると、該半導体基板１２は、図３（Ｂ）の矢印方向、すなわち基板中心より放射状方向に収縮、膨張を繰り返し、バンプ電極１４の接合面１５が矢印方向に位置ずれを生じる。この場合の歪み量は、基板周辺部分における斜線部分の領域４２ａ～４２ｄほど大きくなる。すなわち、この領域４２ａ～４２ｄに位置する区画４１に配設されるバンプ電極１４が等間隔の場合には、接合面１５の歪み量が大きくバンプ電極１４間の接触が生じ易い。

【００２９】従って、図３（Ａ）に示すように、領域４２ａ～４２ｄに位置する区画４１内に設けられるバンプ１４ａ（１４ｂ）間を、矢印方向で距離を長くするように配置することで、バンプ電極１４間の接触を防止することができるものである。

【００３０】なお、このようなバンプ１４ａ，１４ｂの形成は、図２（Ａ），（Ｂ）におけるレジスト３１ａの開口する部分をマスクパターンで位置変更させればよい。

【００３１】次に、図４に、本発明の第３の実施例の構成図を示す。図４においても、図３と同様に、図５に示すような固体撮像装置１１を例として、光電変換部１２の平面図を示して説明する。なお、図３と同一の部分についてはその説明を省略する。

【００３２】図４において、半導体基板１２の一区画４１内に形成されるバンプ４２ａ（対向するバンプを４２ｂとして図示を省略する）の断面形状を、短辺と長辺を有するだ円としたもので、図３（Ｂ）に示す矢印方向に配列される区画４１内に形成されるバンプ４２ａを、該矢印方向で短辺が対向して位置するように配設したものである。すなわち、該矢印方向で隣接するバンプ４２ａ（４２ｂ）間で距離を長くするように配置するものである。

【００３３】これにより、図３と同様に、熱サイクルの影響でバンプ電極間の接合面で位置ずれを生じても、接触を防止することができる。

【００３４】なお、上述の第３の実施例では、バンプ４２ａ（４２ｂ）の断面形状をだ円とした場合を示したが、断面積が略等しく短辺部分と長辺部分を有すればよく、例えばひし形や長方形でもよい。

【００３５】また、第３の実施例であっても、当該断面形状のバンプの製造は、図３と同様にマスクパターンの形状を変更することによって形成することができる。

【００３６】

【発明の効果】以上のように、本発明によれば、接合により基板間の電気的接合を行うバンプ電極の、接合面の高さを交互に異ならせ、又は配置を異ならせ、又はその断面形状で短辺間を対向させることにより、熱サイクルの影響で接合面に位置ずれを生じても、隣接するバンプ電極間の接触を防止することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施例の構成図である。

【図２】図１の製造を説明するための工程図である。

【図３】本発明の第２の実施例の構成図である。

【図４】本発明の第３の実施例の構成図である。

【図５】従来のバンプ電極による接続を行う固体撮像装置を説明するための図である。

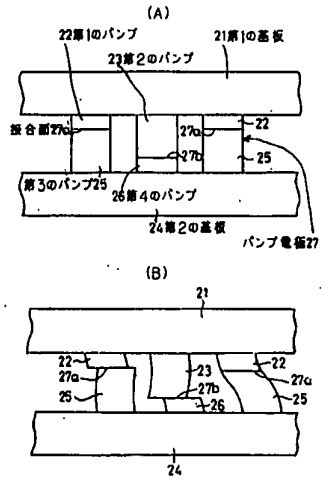
【図６】図５におけるバンプ電極の変形を説明するための図である。

【符号の説明】

２１　第１の基板
２２　第１のバンプ
２３　第２のバンプ
２４　第２の基板
２５　第３のバンプ
２６　第４のバンプ
２７　バンプ電極
２７ａ，２７ｂ　接合面
３１ａ，３１ｂ　レジスト
３２　インジウム

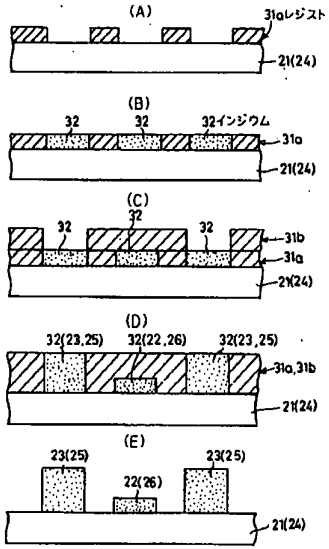
【図1】

本発明の第1の実施例の構成図



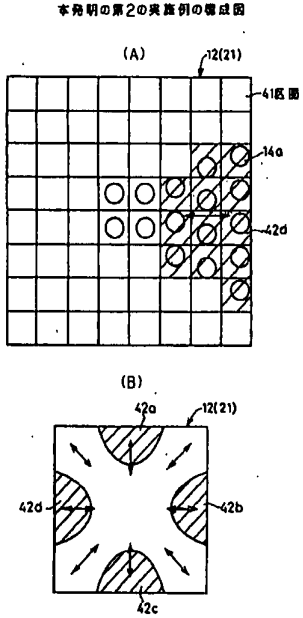
【図2】

図1の製造を説明するための工程図



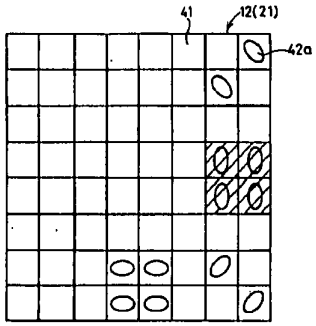
【図3】

本発明の第2の実施例の構成図



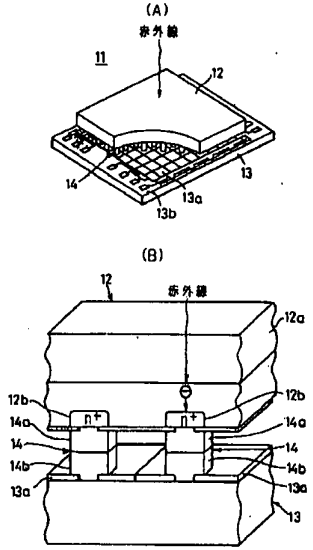
【図4】

本発明の第3の実施例の構成図



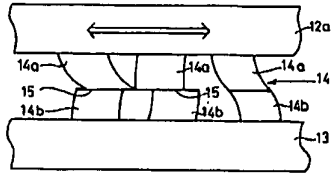
【図5】

従来のバンプ電極による接続を行う固体撮像装置を説明するための図



【図6】

図5におけるバンプ電極の変形を説明するための図



フロントページの続き

(72)発明者 東福 勲
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 土肥 正二
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内